

2811



35.C12980

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
TETSUNOBU KOCHI ✓ ) : Examiner: Not Yet Assigned  
Application No.: 09/161,294 ) : Group Art Unit: 2811  
Filed: September 28, 1998 ) :  
For: PHOTOELECTRIC CONVERSION ) :  
APPARATUS : December 13, 1999

*Am*  
*11/10/00*  
*#4*

RECEIVED  
DEC 23 1999  
GROUP 2700

Assistant Commissioner for Patents  
Washington, D.C. 20231

CLAIM TO PRIORITY

RECEIVED  
DEC 16 1999

TECHNOLOGY CENTER 2800

Sir:

Applicant hereby claims priority under the  
International Convention and all rights to which he is  
entitled under 35 U.S.C. § 119 based upon the following  
Japanese Priority Application:


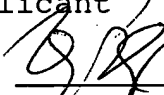
No. 9-263546, filed September 29, 1997.

A certified copy of the priority document is  
enclosed.



Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
\_\_\_\_\_  
Attorney for Applicant  
Registration No.  \_\_\_\_\_

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

NY\_MAIN 46572 v 1





DEC 15 1999  
PATENT & TRADEMARK OFFICE  
日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1997年 9月29日

出願番号  
Application Number:

平成 9年特許願第263546号

出願人  
Applicant(s):

キヤノン株式会社

RECEIVED  
DEC 23 1997  
GROUP 2700

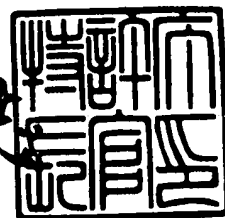
RECEIVED  
DEC 16 1999  
TECHNOLOGY CENTER 2800

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1998年10月23日

特許庁長官  
Commissioner,  
Patent Office

山田佐平



出証番号 出証特平10-3085687



【書類名】 特許願

【整理番号】 3489025

【提出日】 平成 9年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/04  
H04N 1/04

【発明の名称】 光電変換装置

【請求項の数】 10

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 光地 哲伸

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

【代理人】

    【識別番号】 100065385

    【弁理士】

    【氏名又は名称】 山下 穰平

    【電話番号】 03-3431-1831

【手数料の表示】

    【予納台帳番号】 010700

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9703871



特平 9-263546

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 光電変換装置

【特許請求の範囲】

【請求項1】 複数の光電変換素子と、前記光電変換素子に蓄積された各信号電荷を増幅する増幅手段が行列上に配列され、前記増幅手段で増幅された信号を順次走査して読み出す垂直走査手段と水平走査手段とを有し、前記増幅手段の負荷手段が各列ごとに設けられた光電変換装置において、

前記増幅手段の出力端が前記負荷手段と行方向において反対側に設けられたことを特徴とする光電変換装置。

【請求項2】 請求項1に記載の光電変換装置において、前記増幅手段はMOS型のソースフォロワ回路であり、前記ソースフォロワ回路の負荷となる前記負荷手段は定電流源であることを特徴とする光電変換装置。

【請求項3】 行列に配置された複数の光電変換素子と、前記光電変換素子に蓄積された信号電荷を増幅する増幅手段が行列上に配列され、前記増幅手段で増幅された信号を順次走査して読み出す垂直走査手段と水平走査手段とを有し、前記増幅手段の負荷手段が各列ごとに設けられた光電変換装置において、

各列ごとで前記増幅手段の出力端が前記負荷手段と行方向において同じ側に設けられており、かつ前記増幅手段の出力端の少なくとも一部が行方向の反対側に引き出されていることを特徴とする光電変換装置。

【請求項4】 前記増幅手段の出力端が行方向の上下にすくなくとも一列ごと交互に引きだされていることを特徴とする請求項3に記載の光電変換装置。

【請求項5】 近接した画素間の信号を平均化処理することを特徴とする請求項3に記載の光電変換装置。

【請求項6】 請求項3又は、4、5に記載の光電変換装置において、前記増幅手段はMOS型のソースフォロワ回路であり、前記ソースフォロワ回路の負荷となる前記負荷手段は定電流源であり、前記増幅手段の出力端は前記行方向の両端側に配置され、該出力端の出力信号を結合して前記光電変換素子による画像信号を得ることを特徴とする光電変換装置。

【請求項7】 行列に配置された複数の光電変換素子と、前記光電変換素子



に蓄積された信号電荷を増幅する増幅手段が行列上に配列され、前記増幅手段で増幅された信号を順次走査して読み出す垂直走査手段と水平走査手段とを有し、前記増幅手段の電源供給手段が各列ごとに設けられた光電変換装置において、

前記電源供給手段の少なくとも一部が行方向の反対側に引き出されていることを特徴とする光電変換装置。

【請求項 8】 前記電源供給手段が行方向に上下に少なくとも一列ごと交互に引き出されていることを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】 近接した画素間の信号を平均化処理することを特徴とする請求項 7 に記載の光電変換装置。

【請求項 10】 前記光電変換素子の電荷をリセットするリセット手段を有し、前記リセット手段の一端が前記電源供給手段に接続していることを特徴とする請求項 7 に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、行列上に配列された光電変換装置に関し、特に行列に配置された光電変換素子の各画素の光信号を読み出す際のシェーディングを削減した光電変換装置に関するものである。

【0002】

【従来の技術】

図 7 は従来の光電変換回路をあらわす模式説明図である。図 7 において、光電変換素子（フォトダイオードなど）1 は入射光量に応じた電荷を蓄積するものであり、2 次元状（図では  $4 \times 4$  素子）に配置されている。光電変換素子 1 の一端はソースフォロワ入力 MOS 2 のゲートに接続し、ソースフォロワ入力 MOS 2 のソースは垂直選択スイッチ MOS 3 のドレインに接続し、またソースフォロワ入力 MOS 2 のドレインは電源線 4 を経て電源端子 5 に接続され、垂直選択スイッチ MOS 3 のソースは垂直出力線 6 を経て、負荷電流源 7 へと接続されており、これらは、ソースフォロワ入力 MOS 2 と垂直選択スイッチ MOS 3 と負荷電流源 7 との全体で、ソースフォロワ回路を構成している。



## 【0003】

各画素の光電変換素子に蓄積された電荷に応じてソースフォロワ入力MOS 2のゲートに光電変換素子1の信号電圧が発生し、それをソースフォロワ回路で電流増幅して読み出すものである。

## 【0004】

垂直選択スイッチMOS 3のゲートは垂直ゲート線8で垂直走査回路9に接続する。また、ソースフォロワ回路の出力信号は、垂直出力線6、水平転送MOSスイッチ10、水平出力線11、出力アンプ12を通して外部に出力される。水平転送MOSスイッチ10のゲートは水平走査回路13にそれぞれ接続している。この様な構成において、各光電変換素子の信号電圧は、垂直走査回路9に接続された垂直ゲート線8のパルス電圧によって垂直選択スイッチMOS 3を順次オンして、各垂直ラインに読み出され、水平走査回路13のシフトレジスタ信号によって水平転送MOSスイッチ10が順次オンされて、各光電変換素子の信号電圧が各素子毎に時系列的に出力アンプ12から出力される。

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、上記従来例では、垂直出力線6に有限の抵抗が分布されているため、その抵抗の電位低下により信号に縦方向のシェーディングが生じるという問題点が生じていた。説明を簡略化するために、図8にひとつの画素を抜き出した模式説明図を示す。同図において、201は垂直出力線6に分布する抵抗をあらわしている。仮に垂直にM行の画素が配列し、各行あたりの垂直出力線の抵抗値が $r_1$ であったとすると、K行目の画素と水平転送MOSスイッチ10との間の全抵抗は、

$$r_1 \times K \quad (1 \leq K \leq M) \quad \dots (1)$$

となる。

## 【0006】

いま、負荷電流源7に流れる電流を $I_a$ 、垂直選択スイッチMOS 3の直列抵抗を $R_m$ 、ソースフォロワ入力MOS 2のしきい値電圧を $V_{th0}$ 、ソースフォロワ入力MOS 2のゲート上の信号電圧を $V_{sig0}$ とすると、ソースフォロワ回路で



電流増幅されて読み出される信号 $V_{sig1}$ は、

$$V_{sig1} = V_{sig0} - V_{th0} - I_a \times R_m - I_a \times r_1 \times K \quad (1 \leq K \leq M) \quad \dots (2)$$

となる。つまり、画素部では同じ信号電圧 $V_{sig0}$ が発生していても、垂直出力線6のもつ抵抗 $r_1$ による電位降下のため、行ごとに読み出される電圧 $V_{sig1}$ に差が生じ、縦方向のシェーディングが発生して、画質が著しく低下するという問題点があった。

#### 【0007】

近年、光電変換回路の開発はいっそうの多画素化、小サイズ化の方向に進みつつある。その際に光電変換回路の配線は益々、細く、長くなる傾向にあり、垂直出力線6のもつ抵抗 $r_1$ による電位降下という本課題は、深刻な問題となっている。

#### 【0008】

また、もうひとつの問題として、同じく電源線4に有限の抵抗が分布しているため、行ごとにソースフォロワ回路のダイナミックレンジが異なるという問題が生じていた。本問題点を図8を用いて説明すると、同図において、202は電源線4に分布する抵抗をあらわしている。仮に垂直にM行の画素が配列し、各行当たりの電源線の抵抗が $r_2$ であったとするとK行目の画素と電源端子5との間の抵抗は、

$$r_2 \times K \quad (1 \leq K \leq M) \quad \dots (3)$$

となる。

#### 【0009】

いま電源端子5の電圧を $V_d$ 、とすると、ソースフォロワ回路が線形なアンプとして動作するためには、ソースフォロワ入力MOS2が5極管領域で動作する必要がある、その時の条件式は、

$$V_d - I_a \times r_2 \times K > V_{sig0} - V_{th0} \quad (1 \leq K \leq M) \quad \dots (4)$$

となる。この式を変形すると、

$$V_{sig0} < V_d + V_{th0} - I_a \times r_2 \times K \quad (1 \leq K \leq M) \quad \dots (5)$$

となる。



【0010】

電源線4のもつ抵抗による電位降下のため、行によって条件式からはずれる信号電圧の値が異なる、つまり信号のダイナミックレンジが異なるという問題点が生じていた。

【0011】

これは、フォトダイオード1の極性との組み合わせにより、飽和電圧のシェーディングもしくは低光量特性側の出力シェーディングとなり画質を著しく低下させていた。

【0012】

【課題を解決するための手段】

本発明は、上記問題点を解決する手段として、

光変換素子と、前記光電変換素子に蓄積された信号電荷を増幅する手段が行列上に配列され、前記増幅手段が増幅された信号を順次走査して読み出す垂直走査手段と水平走査手段とを有し、前記増幅手段の負荷手段が各列ごとにもうけられた光電変換装置において、前記増幅手段の出力端が前記負荷手段と行方向において反対側に設けられたことを特徴とする光電変換装置を提供するものである。

【0013】

また、各列ごとで前記増幅手段の出力端が前記負荷手段と行方向において同じ側に設けられており、かつ前記増幅手段の出力端が行方向に上下にすくなくとも一列ごと交互に引きだされていることを特徴とする光電変換装置を提供するものである。

【0014】

また、前記増幅手段の電源供給手段が各列ごとにもうけられた光電変換装置において、前記電源供給手段が行方向に上下にすくなくとも一列ごと交互に引きだされていることを特徴とする光電変換装置を提供するものである。

【0015】

また、前記光電変換素子の電荷をリセットするリセット手段を有し、前記リセット手段の一端が前記電源供給手段に接続していることを特徴とする光電変換装置を提供するものである。



【0016】

## 【発明の実施の形態】

## 〔第1の実施形態〕

図1は、本発明の第1の実施形態を示す模式説明図である。本実施形態は、定電流源7をソースフォロワ回路の出力端と行方向に互いに反対側に設けたものである。図1において、光電変換素子（フォトダイオードなど）1は入射光量に応じた電荷を蓄積するものであり、2次元状（図では4×4素子）に配置されている。光電変換素子1の一端はソースフォロワ入力MOS2のゲートに接続し、ソースフォロワ入力MOS2のソースは垂直選択スイッチMOS3のドレインに接続し、またソースフォロワ入力MOS2のドレインは電源線4を経て電源端子5に接続され、垂直選択スイッチMOS3のソースは垂直出力線6を経て、負荷電流源7へと接続されており、これらは、ソースフォロワ入力MOS2と垂直選択スイッチMOS3と負荷電流源7との全体で、ソースフォロワ回路を構成している。

【0017】

各画素の光電変換素子に蓄積された電荷に応じてソースフォロワ入力MOS2のゲートに光電変換素子1の信号電圧が発生し、それをソースフォロワ回路で電流増幅して読み出すものである。

【0018】

垂直選択スイッチMOS3のゲートは垂直ゲート線8で垂直走査回路9に接続する。また、ソースフォロワ回路の出力信号は、垂直出力線6、水平転送MOSスイッチ10、水平出力線11、出力アンプ12を通して外部に出力される。水平転送MOSスイッチ10のゲートは水平走査回路13にそれぞれ接続している。この様な構成において、各光電変換素子の信号電圧は、垂直走査回路9に接続された垂直ゲート線8のパルス電圧によって垂直選択スイッチMOS3を順次オンして、各垂直ラインに読み出され、水平走査回路13のシフトレジスタ信号によって水平転送MOSスイッチ10が順次オンされて、各光電変換素子の信号電圧が各素子毎に時系列的に出力アンプ12から出力される。出力アンプ12には、MOS型アンプなどの入力インピーダンスの高いものが望ましい。



## 【0019】

図2は、説明を簡略化するためにひとつの画素を抜き出した模式説明図である。図2において、401はソースフォロワと定電流源7の間の抵抗であり、定電流源7の定常電流 $I_a$ はこの抵抗401を介して定電流源7に流れ込むものである。201はソースフォロワと出力端の間の抵抗である。

## 【0020】

ここで、ソースフォロワの出力端の電位を $V_{sig1'}$ とすると、

$$V_{sig1'} = V_{sig0} - V_{th0} - I_a \times R_m \quad \dots (6)$$

となる。この値はトランジスタの設計値と定常電流の値で決まる一定の値である。

## 【0021】

先に述べたように、定常電流7は抵抗401を介して定電流源7に流れ込むため、定電流源7と抵抗401との接続点での電位 $V_{sig1}$ は、先に(2)式で示したように、抵抗401により読み出す画素行ごとに電位差を生じる。

## 【0022】

しかしながら、出力端OUTを定電流源7と反対側に設けたため、抵抗201には読み出し初期の過渡的な電流のみで定常電流は流れないため、抵抗201とスイッチ10の接続点での電位 $V_{sig2}$ は、

$$V_{sig2} = V_{sig1'} \quad \dots (7)$$

となる。抵抗による電位効果が起こらないため、縦方向のシェーディングを大幅に減らすことができる。

## 【0023】

本実施形態では、定電流型の負荷を用いたソースフォロワ回路を例にとり説明を行ったが、本発明はこれに限るものではなく抵抗型の負荷を用いたものでも同様な効果が得られる。また反転アンプ型でも同様な効果が得られることはいうまでもない。

## 【0024】

## [第2の実施形態]

図3は、本発明の第2の実施形態を示す模式説明図である。本実施形態では列



ごとに定電流源をソースフォロワ回路の出力端と同じ側に設け、かつ一列ごとに交互に上下に出力端を引き出したものである。

## 【0025】

図3において、光電変換素子（フォトダイオードなど）1は入射光量に応じた電荷を蓄積するものであり、2次元状（図では4×4素子）に配置されている。光電変換素子1の一端はソースフォロワ入力MOS2のゲートに接続し、ソースフォロワ入力MOS2のソースは垂直選択スイッチMOS3のドレインに接続し、またソースフォロワ入力MOS2のドレインは電源線4を経て電源端子5に接続され、垂直選択スイッチMOS3のソースは垂直出力線6を経て、負荷電流源7へと接続されており、これらは、ソースフォロワ入力MOS2と垂直選択スイッチMOS3と負荷電流源7との全体で、ソースフォロワ回路を構成している。

## 【0026】

各画素の光電変換素子1に蓄積された電荷に応じて、ソースフォロワ入力MOS2のゲートに光電変換素子1の信号電圧が発生し、それをソースフォロワ回路で電流増幅して読み出すものである。

## 【0027】

垂直選択スイッチMOS3のゲートは垂直ゲート線8で垂直走査回路9に接続する。また、ソースフォロワ回路の出力信号は、垂直出力線6、水平転送MOSスイッチ10、水平出力線11、出力アンプ12を通して外部に出力される。水平転送MOSスイッチ10のゲートは水平走査回路13にそれぞれ接続している。この様な構成において、各光電変換素子1の信号電圧は、垂直走査回路9に接続された垂直ゲート線8のパルス電圧によって垂直選択スイッチMOS3を順次オンして、各垂直出力線6に読み出され、水平走査回路13のシフトレジスタ信号によって水平転送MOSスイッチ10が順次オンされて、各光電変換素子の信号電圧が各素子毎に時系列的に出力アンプ12から出力される。

## 【0028】

この際、水平走査回路13は複数本の垂直出力線6中交互に水平転送MOSスイッチ10を配し、垂直出力線6の一本毎に水平転送MOSスイッチ10から水平出力線11に出力する。また、垂直出力線6側の水平転送MOSスイッチ10



のソースにソースフォロワ回路の負荷となる定電流源7を配しており、各垂直出力線の配線上の抵抗値が各垂直ゲート線8の配置場所によって異なることになる。また、水平走査回路13は垂直出力線6の両端側に配置され、両端側の水平走査回路13は相互にタイミングをとり、垂直出力線6毎に水平転送MOSスイッチ10をオンして、水平出力線11に光電変換素子1の光電荷信号を読み出して、出力アンプ12から出力される。なお、この場合、両端側の水平転送MOSスイッチ10をオンして、読み出しのスピードアップを図ることも可能である。

【0029】

次に、不図示ではあるが、両端側の出力アンプ12から出力された出力信号は、時系列的にタイミングを取りながら、一連の画像信号に結合して、サンプルホールド回路やシェーディング補正回路等を経由して、映像信号として出力してもよい。

【0030】

本構造により、たとえばM行N列の光電変換回路を考えた時、K行目L列目（ $1 \leq K \leq M$ ,  $1 \leq L \leq N$ ）の画素から読み出される信号電圧は、

$$V_{sigKL} = V_{sig0} - V_{th0} - I_a \times R_m - I_a \times r_1 \times K \quad (1 \leq K \leq M) \quad \dots (8)$$

（ただし、 $R_m$ は垂直選択スイッチMOS3のオン時の直列抵抗値、 $r_1$ は行毎の垂直出力線6の抵抗値、 $V_{sig0}$ は光電変換素子1の出力電圧、 $V_{th0}$ はソースフォロワ入力MOS2の閾値電圧、 $I_a$ は定電流源7の電流である。）

となる。また、K行目L+1列目（ $1 \leq K \leq M$ ,  $1 \leq L \leq N$ ）の画素から読み出される信号電圧は、引き出される向きが上下逆なため影響する抵抗値が異なり、

$$V_{sigKL+1} = V_{sig0} - V_{th0} - I_a \times R_m - I_a \times r_1 \times (M - K) \quad (1 \leq K \leq M) \quad \dots (9)$$

となる。

【0031】

上の式からわかるように、たとえば奇数列のみに着目した時、本実施形態は従来と同様のシェーディングが生じているが、そのとき偶数列には丁度奇数列と上下が反対のシェーディングが生じており、全体で見るとそれぞれのシェーディン



グが平均化されて視認され、画質を大幅に向上させることができた。

【0032】

また、実際に、外部もしくは内部に回路を搭載することで隣接の信号を加算もしくは平均化することで、さらにシェーディングを低減することができるものである。隣接の信号を加算して読み出すことは、たとえば補色系の色フィルタを使ってカラー画像を撮像する光電変換装置において、隣接する画素の信号を加算して読み出し、外部でマトリクス演算を行なうことで映像信号を復元することは一般に行われているが、その際に本発明の構造を用いることで、なんら不具合を生じることなく、シェーディングを低減することができる。

【0033】

本実施形態では、一列ごとに交互の例について述べたがこれに限るものではなく、シェーディングの程度に応じて2列ごと、3列ごとなど他の組み合わせを用いても同様の効果が得られることはいうまでもない。

【0034】

本実施形態では、定電流型の負荷を用いたソースフォロワ回路を例にとり説明を行なったが、本発明はこれに限るものではなく、抵抗型の負荷を用いたものでも同様な効果が得られる。また反転アンプ型でも同様な効果が得られることはいうまでもない。

【0035】

〔第3の実施形態〕

図4は、本発明の第3の実施形態を示す模式説明図である。本実施形態はソースフォロワ回路の電源端子を、一列ごとに交互に行方向の上下に設けたものである。

【0036】

図4において、光電変換素子（フォトダイオードなど）1は入射光量に応じた電荷を蓄積するものであり、2次元状（図では4×4素子）に配置されている。光電変換素子1の一端はソースフォロワ入力MOS2のゲートに接続し、ソースフォロワ入力MOS2のソースは垂直選択スイッチMOS3のドレインに接続し、またソースフォロワ入力MOS2のドレインは電源線4を経て電源端子5に接



続され、垂直選択スイッチMOS 3のソースは垂直出力線6を経て、負荷電流源7へと接続されており、これらは、ソースフォロワ入力MOS 2と垂直選択スイッチMOS 3と負荷電流源7との全体で、ソースフォロワ回路を構成している。

【0037】

各画素の光電変換素子1に蓄積された電荷に応じて、ソースフォロワ入力MOS 2のゲートに光電変換素子1の信号電圧が発生し、それをソースフォロワ回路で電流増幅して読み出すものである。各ソースフォロワ回路の電源は各行毎に電源線4に接続され、電源線4は交互に接続されて別個の電源端子5に接続されている。

【0038】

垂直選択スイッチMOS 3のゲートは垂直ゲート線8で垂直走査回路9に接続する。また、ソースフォロワ回路の出力信号は、垂直出力線6、水平転送MOSスイッチ10、水平出力線11、出力アンプ12を通して外部に出力される。水平転送MOSスイッチ10のゲートは水平走査回路13にそれぞれ接続している。この様な構成において、各光電変換素子1の信号電圧は、垂直走査回路9に接続された垂直ゲート線8のパルス電圧によって垂直選択スイッチMOS 3を順次オンして、各垂直出力線6に読み出され、水平走査回路13のシフトレジスタ信号によって水平転送MOSスイッチ10が順次オンされて、各光電変換素子の信号電圧が各素子毎に時系列的に出力アンプ12から出力される。

【0039】

本構造により、たとえばM行N列の光電変換回路を考えた時、K行目L列目 ( $1 \leq K \leq M, 1 \leq L \leq N$ ) の画素から読み出される信号のダイナミックレンジは

$$V_{sigKL} < V_d + V_{th0} - I_a \times r_2 \times K \quad (1 \leq K \leq M) \quad \dots (10)$$

(但し、 $V_d$ は電源電圧、 $V_{th0}$ はソースフォロワ入力MOS 2の閾値電圧、 $r_2$ は電源線4の各垂直ゲート線8に対応するソースフォロワ入力MOS 2のドレインと次の垂直ゲート線8に対応するソースフォロワ入力MOS 2のドレインとの間の抵抗値である。)

の範囲までとなる。この時、K行目L+1列目 ( $1 \leq K \leq M, 1 \leq L \leq N$ ) の画



素から読み出される信号のダイナミックレンジは、

$$V_{sigKL} < V_d + V_{th0} - I_a \times r_2 \times (M - K) \quad (1 \leq K \leq M) \dots (11)$$

となる。上の式からわかるように、たとえば奇数列のみに着目した時、本実施形態は従来と同様の光電変換素子1の光電変換特性中の飽和電圧もしくは低光量側の出力シェーディングが生じているが、そのとき偶数列には丁度奇数列と上下が反対のシェーディングが生じており、全体で見るとそれぞれのシェーディングが平均化されて視認され、画質を大幅に向上させることができた。

#### 【0040】

本実施形態では一列ごとに交互の例について述べたがこれに限るものではなく、シェーディングの程度に応じて2列ごと、3列ごとなど他の組み合わせを用いても同様の効果が得られることはいうまでもない。

#### 【0041】

本実施形態では定電流型の負荷を用いたソースフォロワ回路を例にとり説明を行なったが、本発明はこれに限るものではなく、抵抗型の負荷を用いたものでも同様な効果が得られる。また反転アンプ型でも同様な効果が得られることはいうまでもない。

#### 【0042】

また、電流読み出し型のアンプを用いた時には、出力電流のシェーディングを低減するという新たな効果が得られるものである。

#### 【0043】

#### 〔第4の実施形態〕

図5は本発明の第4の実施形態を示す模式説明図である。図5において、701は光電変換素子1に蓄積された電荷を排出するリセットスイッチであり、そのソースは光電変換素子1に接続され、ドレインはソースフォロワ回路と共通の電源線4に接続されている。702はリセットスイッチ701を制御するリセットゲート線である。本実施形態の画素構造をとることで、上記の実施形態に比べ、光電変換素子1のリセット電圧を正確に制御することができ、リセット電圧がばらつくことによる信号電圧のDCレベルのばらつきや、強い光が照射されたときのリセット残りによる残像を低減できるものである。しかし、電源端子5とリセ



ットスイッチ701のドレインの間の抵抗値が同様に方向に分布していることにより、リセットの過度特性が行ごとに異なり、信号のリセットレベルのシェーディングが残ってしまい、それが読み出される信号電圧の縦方向のシェーディングとなってあらわれていた。このシェーディング原因に対して、第3実施形態と同様に、1列ごともしくは複数列ごとに交互に電源端子5を行方向に上下にひきだすことにより、信号電圧のシェーディングを著しく低減することができた。

【0044】

〔第5の実施形態〕

図6は、本発明の第5の実施形態を示す模式説明図である。同図において、801は光電変換素子1からソースフォロワ入力MOS2の入力ゲートへ信号電荷を完全空乏転送する電荷転送スイッチである。802は転送スイッチを制御する転送ゲート線である。一般に、光電変換装置の感度を向上させるために光電変換素子1のサイズを大きくし、光信号から光電変換する変換量を増す方法がとられるが、それにともないソースフォロワ入力MOS2のゲートに寄生する容量値もおおきくなり、読み出し速度に遅滞が生じ、効率よく感度を向上できないという問題点があった。しかし、本構造をとり、ソースフォロワ入力MOS2の入力ゲートの容量値を、光電変換素子1（フォトダイオードなど）の容量値より小さく設計しておき、完全空乏転送をおこなうことで感度を向上させることができる。

【0045】

また、図6に示したように、垂直選択スイッチ3を、電源線4とソースフォロワ入力MOS2のドレインの間に配置することにより、上記の（2）式のなかの垂直選択スイッチ3の抵抗による電位降下分、

$$I_a \times R_m \cdots (10)$$

が生じなくなり、より広いダイナミックレンジが得られるものである。

【0046】

本実施形態においても、上記第1乃至第4の実施形態と同様な効果が得られることはいうまでもない。

【0047】

また、上記実施形態をそれぞれ組み合わせて使用することで、さらに高品位は



映像信号が得られるものである。

【0048】

また、上記実施形態は、いずれもNMOS型でもPMOS型でも同様の効果が得られることはいうまでもない。また、上記実施形態で説明した各種を組み合わせることにより、更にシェーディングの発生を防止でき、削減できる。例えば、図4に示した電源線の配線を列の両端に配置した異なる電源端子を用いる例と、図3に示す水平出力線11を列の両端に配置した例とを組み合わせることで、垂直出力線の抵抗と電源線の抵抗によるシェーディングを共に削減できる。

【0049】

【発明の効果】

以上説明したように、本発明の構造をとることにより、光電変換装置の出力信号の縦方向のシェーディングを低減することができる。

【0050】

また、光電変換装置の出力信号の縦方向の飽和電圧のシェーディングを低減することができ、更に、各光電変換素子の出力のダイナミックレンジを広げることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の模式説明図である。

【図2】

本発明の第1の実施形態の動作を説明する模式説明図である。

【図3】

本発明の第2の実施形態の模式説明図である。

【図4】

本発明の第3の実施形態の模式説明図である。

【図5】

本発明の第4の実施形態の模式説明図である。

【図6】

本発明の第5の実施形態の模式説明図である。



【図7】

従来の光電変換装置の模式説明図である。

【図8】

従来の光電変換装置の動作を説明する模式説明図である。

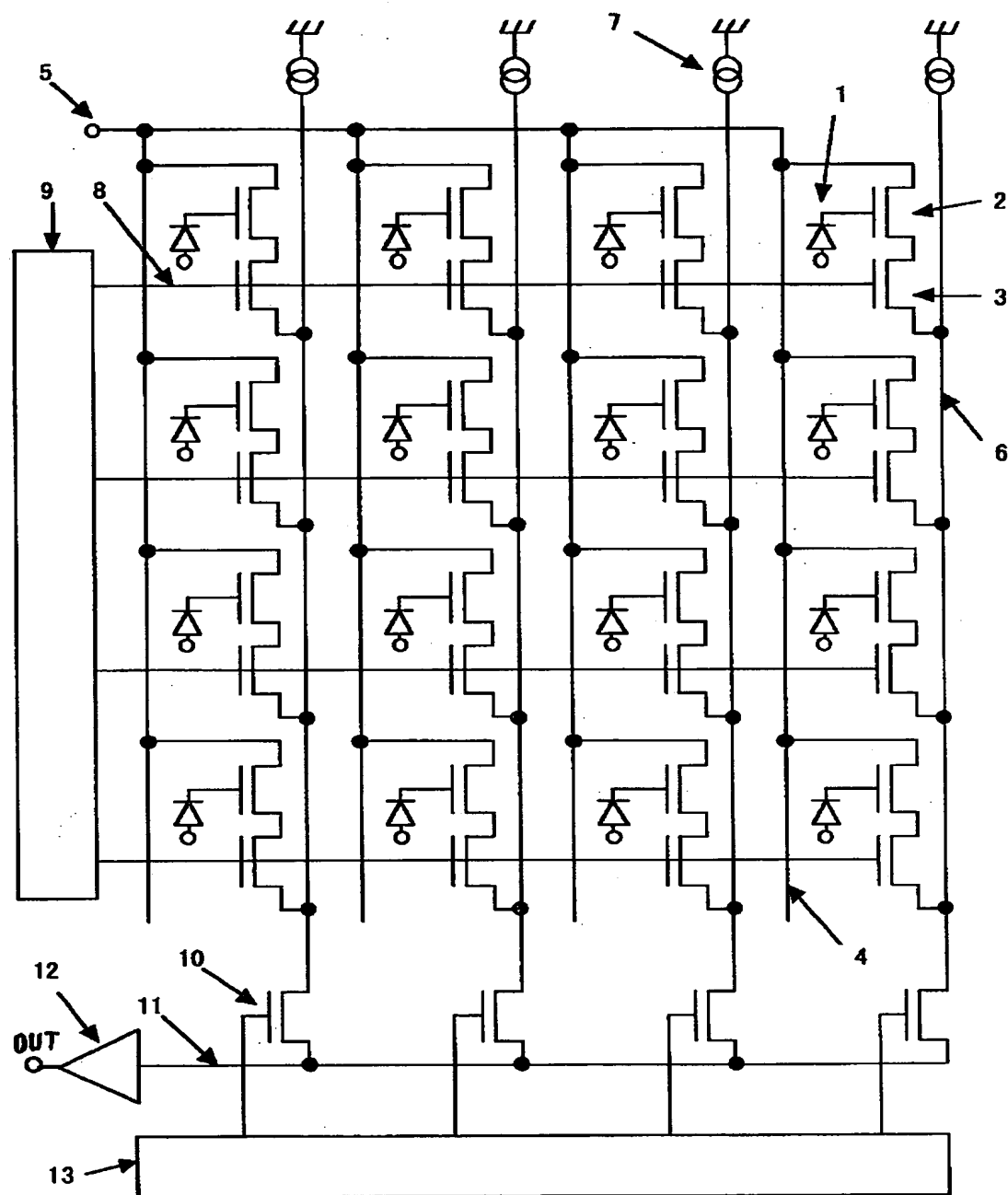
【符号の説明】

- 1 光電変換素子
- 2 ソースフォロワ入力MOS
- 3 垂直選択スイッチMOS
- 4 電源線
- 5 電源端子
- 6 垂直出力線
- 7 負荷電流源
- 8 垂直ゲート線
- 9 垂直走査回路
- 10 水平転送MOSスイッチ
- 11 水平出力線
- 12 出力アンプ
- 13 水平走査回路
- 201 垂直出力線に分布する抵抗
- 202 電源線に分布する抵抗
- 401 ソースフォロワと定電流源の間の抵抗
- 701 リセットスイッチ
- 801 電荷転送スイッチ
- 802 転送ゲート線



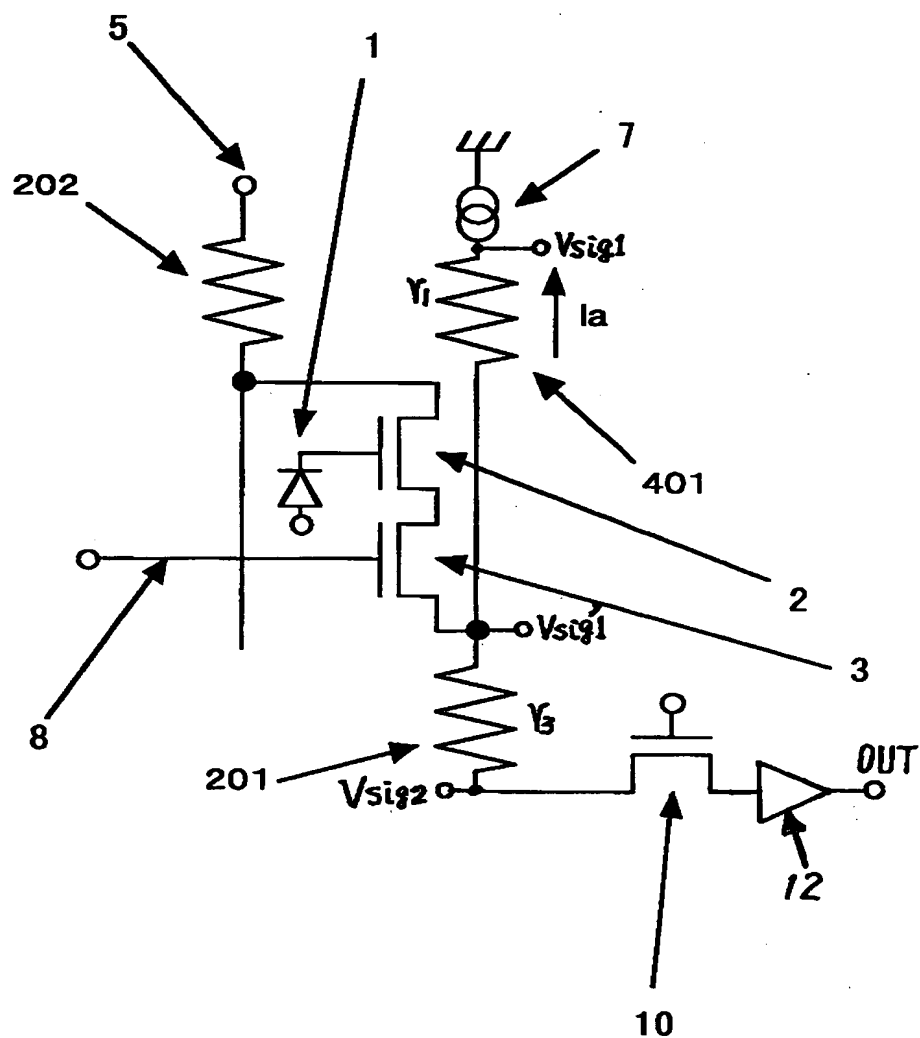
【書類名】 図面

【図1】



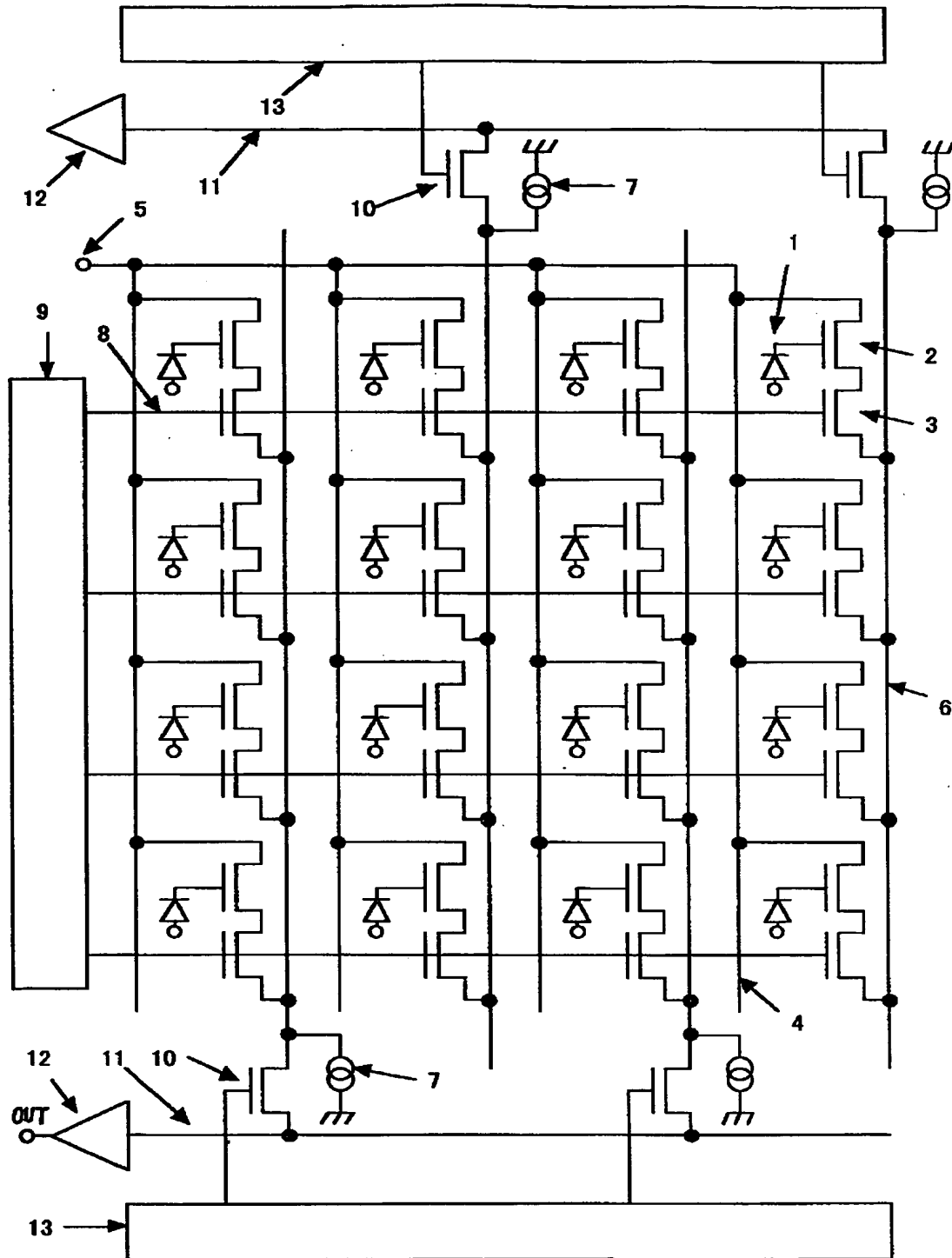


【図2】



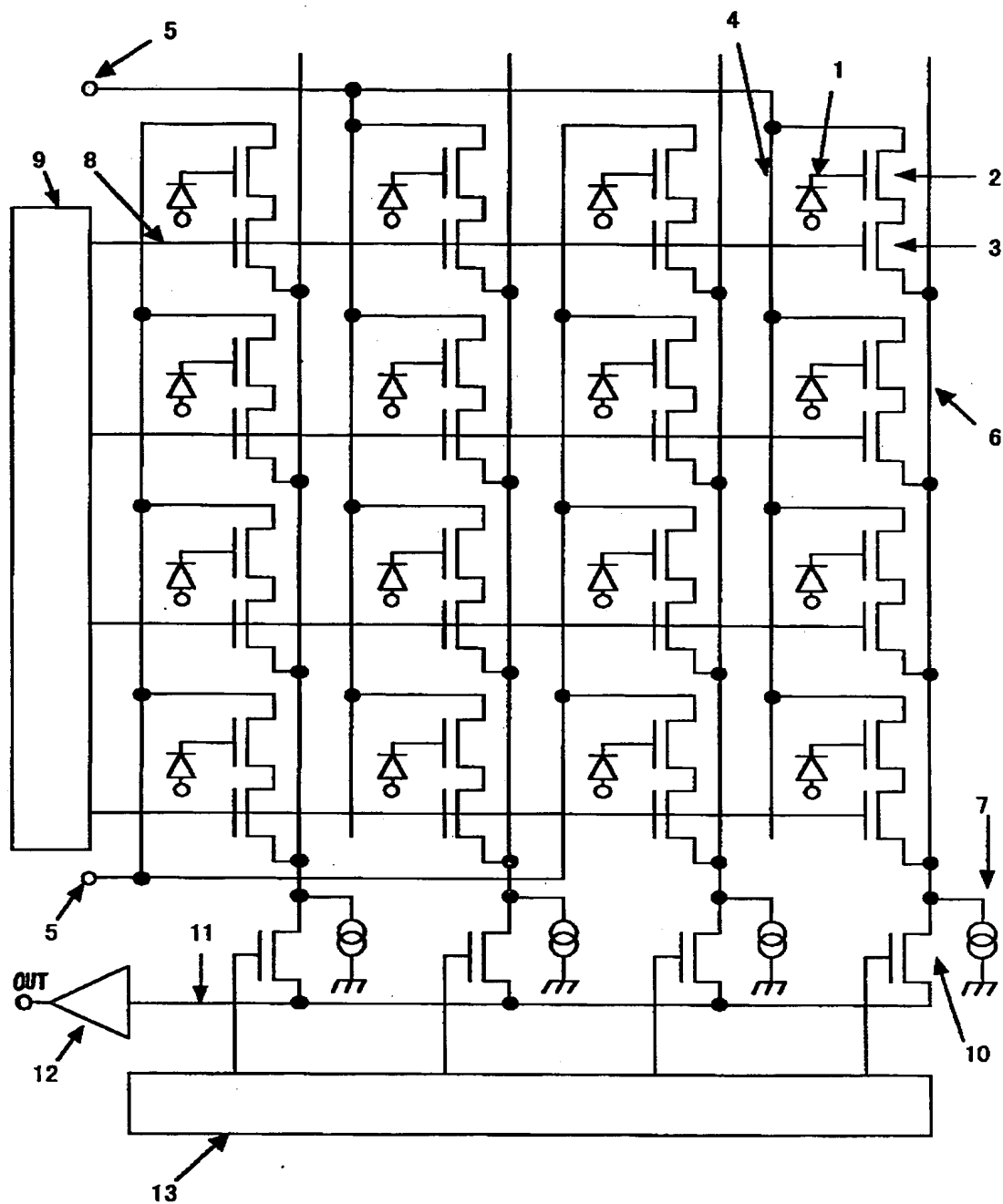


【図3】



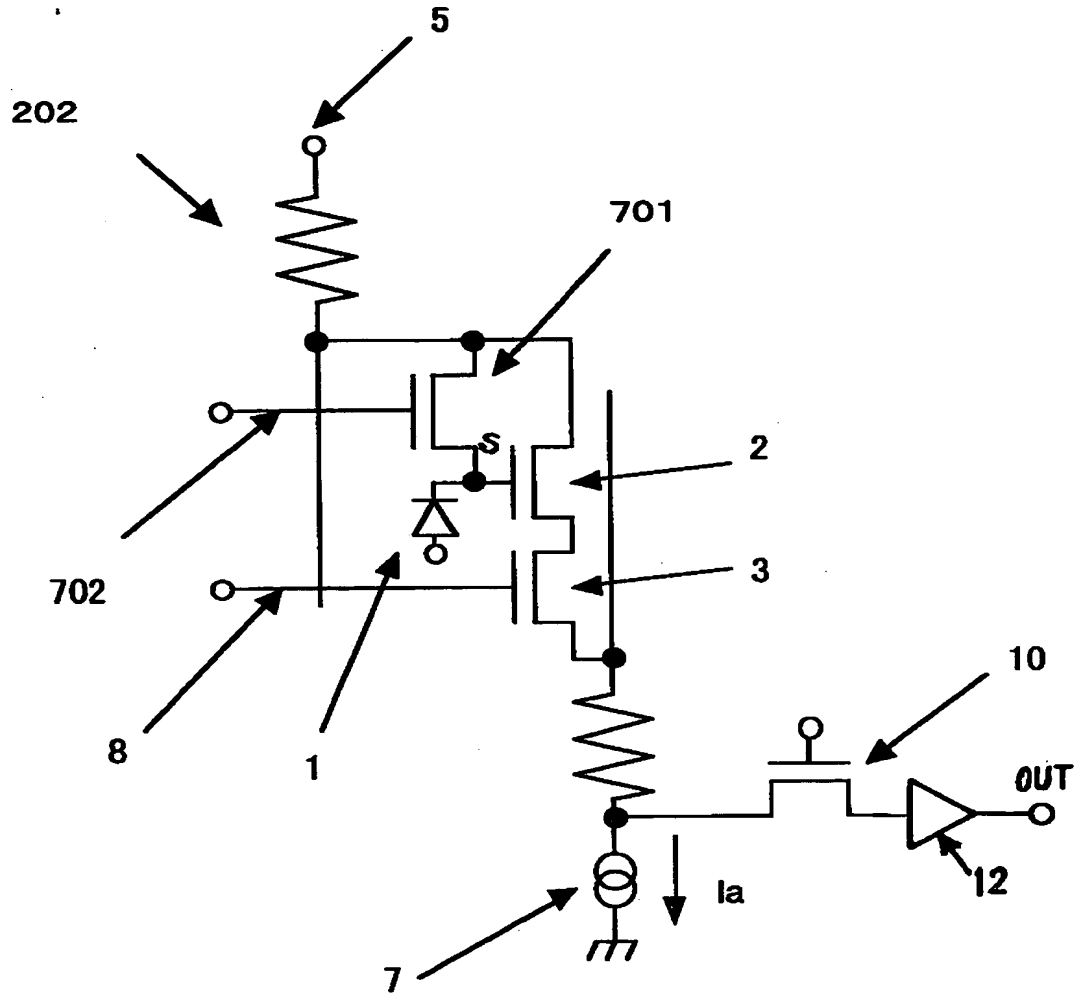


【図4】



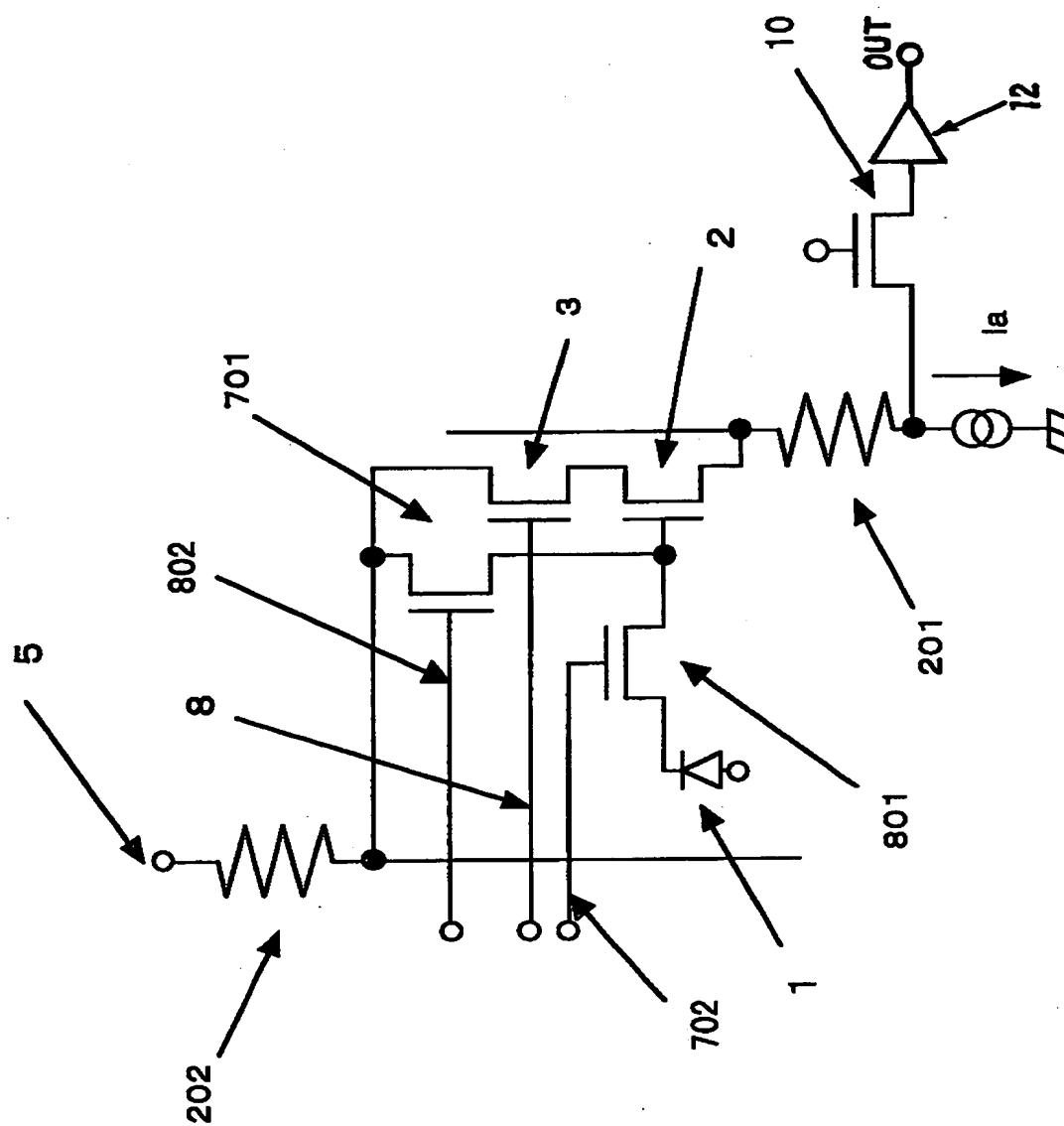


【図5】



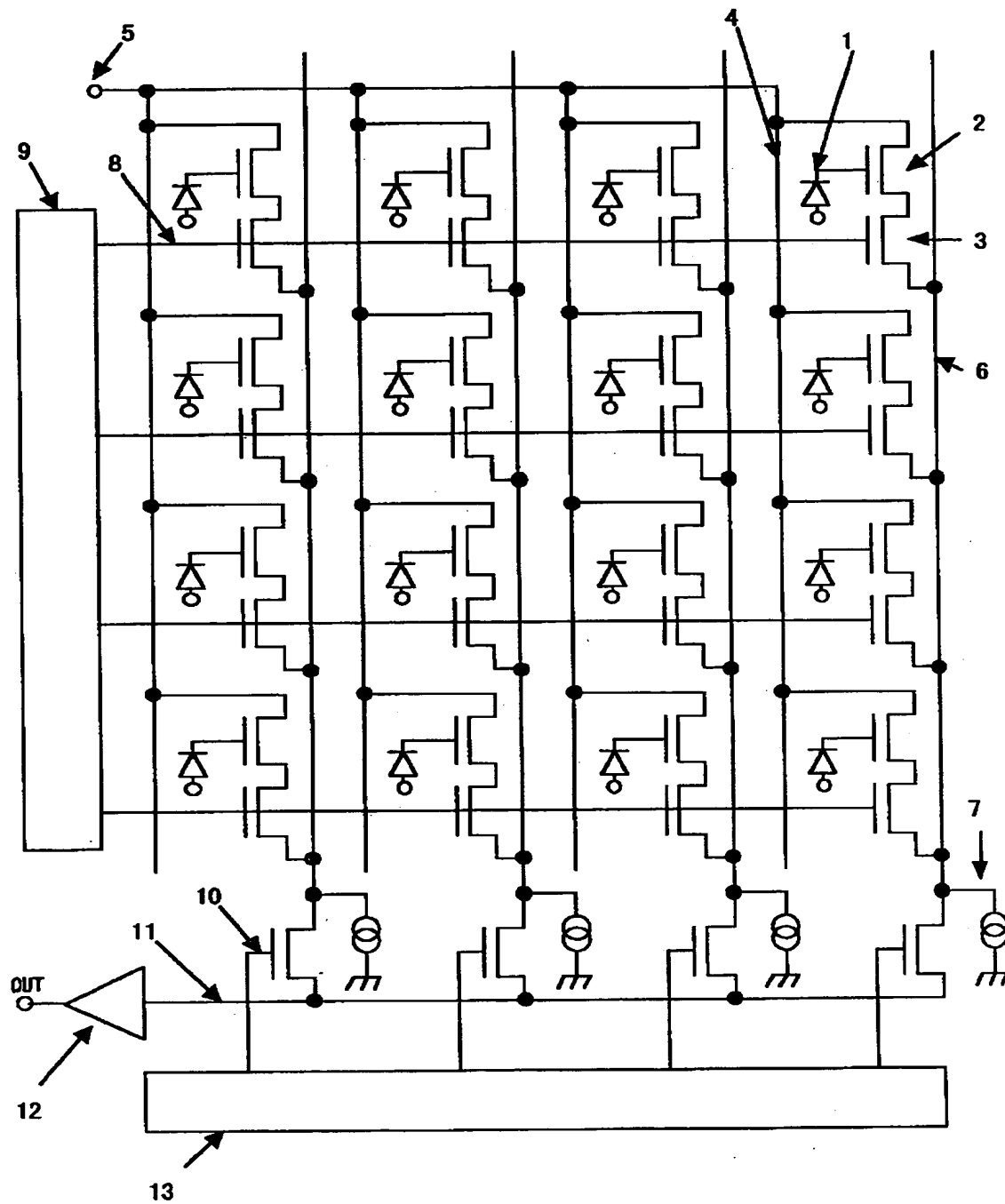


【図6】



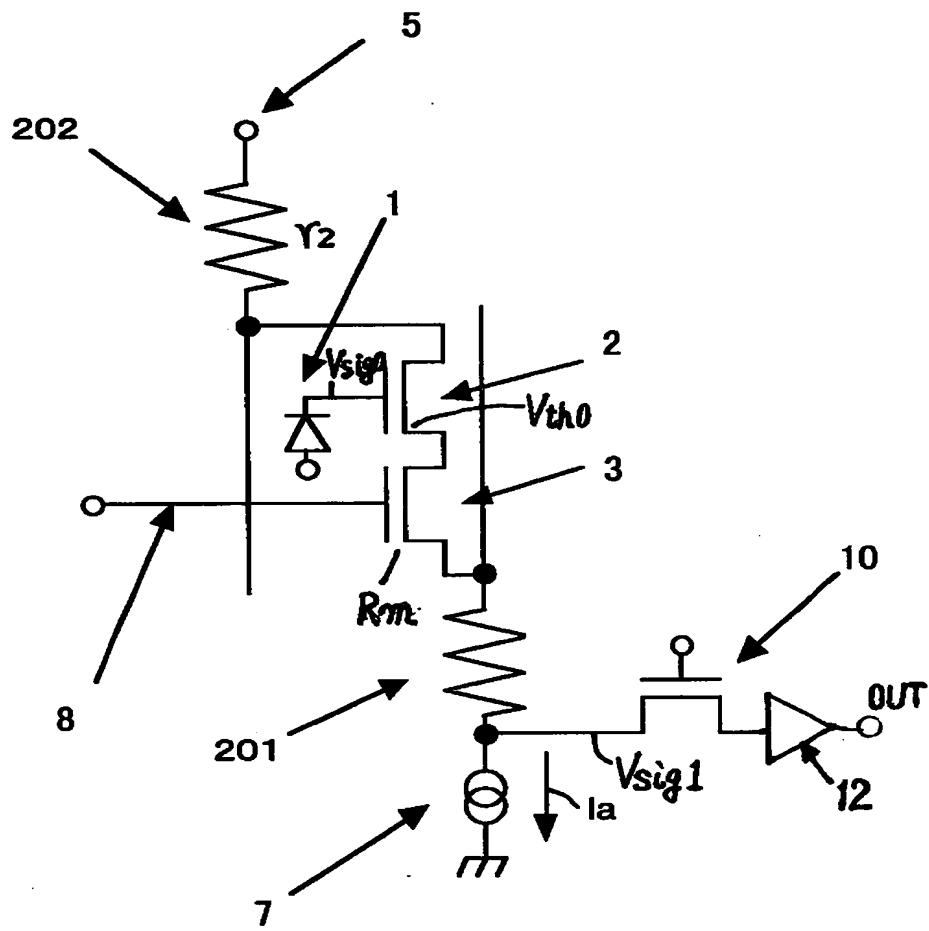


【図 7】





【図8】





【書類名】 要約書

【要約】

【課題】 行ごとに読み出される電圧  $V_{sig1}$  に差が生じ、縦方向のシェーディングが発生して、画質が著しく低下するという課題、同じく電源線に有限の抵抗が分布しているため、行ごとにソースフォロワ回路のダイナミックレンジが異なるという課題を解決すること。

【解決手段】 光電変換素子と、前記光電変換素子に蓄積された信号電荷を増幅する増幅手段が行列上に配列され、前記増幅手段で増幅された信号を順次走査して読み出す垂直走査手段と水平走査手段とを有し、前記増幅手段の負荷手段が各列ごとに設けられた光電変換装置において、前記増幅手段の出力端が前記負荷手段と行方向において反対側に設けられたことを特徴とする。また、光電変換装置において、各列ごとで前記増幅手段の出力端が前記負荷手段と行方向において同じ側に設けられており、かつ前記増幅手段の出力端の少なくとも一部が行方向の反対側に引き出されていることを特徴とする。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007  
【住所又は居所】 東京都大田区下丸子3丁目30番2号  
【氏名又は名称】 キヤノン株式会社

【代理人】

申請人  
【識別番号】 100065385  
【住所又は居所】 東京都港区浜松町1丁目18番14号 S V A X 浜  
松町ビル  
【氏名又は名称】 山下 穰平



出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社